



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06324868 A**(43) Date of publication of application: **25.11.94**

(51) Int. Cl.

G06F 9/38**G06F 13/28**(21) Application number: **05115692**(22) Date of filing: **18.05.93**(71) Applicant: **HITACHI LTD HITACHI VLSI ENG
CORP**

(72) Inventor:

**MURAKAMI YASUYUKI
HATANO YUJI
KAMIMAKI HARUO
MORISHIMA KENTA
HOTTA MASAO
ODAI KAZUO
ISHIDA JUN
ASAKAWA YOSHIKI**

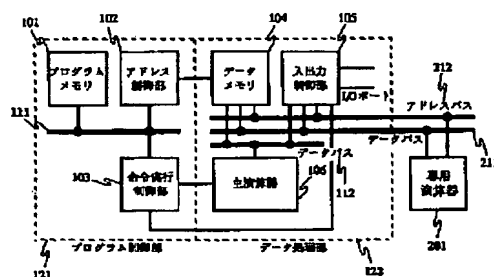
**(54) DIGITAL SIGNAL PROCESSOR WITH
DEDICATED COMPUTING ELEMENT**

(57) Abstract:

PURPOSE: To reduce power consumption in an LSI as a whole by executing a part of simple processing which occupies the most part of algorithm as wired logic in which a dedicated computing element of scale smaller than that of a main computing element performs the transfer of data between data memory via a direct memory access(DMA) bus.

CONSTITUTION: Such constitution is employed that the dedicated computing element 201 which performs limited processing on the algorithm is provided, and the dedicated computing element 201 is connected to the DMA buses 212, 212 connected to the data memory 104 and not being connected to the main computing element 106. In other words, the dedicated computing element 201 performs data transfer between the data memory 104 via the DMA buses 211, 212, which enables simple processing to be performed. The dedicated computing element 201 is a computing element of small scale provided with a limited computing function so as to be fitted in the execution of the simple processing. Therefore, it is possible to reduce the power consumption in the operation of the whole digital signal processor, i.e., the LSI in which the simple processing occupies the most part.

COPYRIGHT: (C)1994,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-324868

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 7 0 C			
13/28	3 1 0 K	9072-5B		

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願平5-115692

(22) 出願日 平成5年(1993)5月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72) 発明者 村上 康之

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 中村 純之助

最終頁に続く

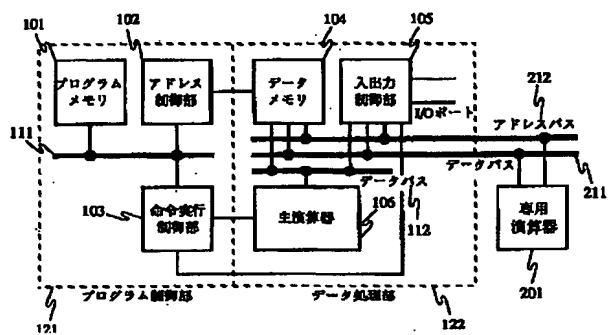
(54) 【発明の名称】 専用演算器付きデジタル信号処理プロセッサ

(57) 【要約】

【目的】 アルゴリズムの大部分を占める単調な処理の部分をデータメモリとの高速のデータ授受を保証しつつ布線論理として実現することにより、L S I 全体としての消費電力を低減し得るデジタル信号処理プロセッサを提供する。

【構成】 デジタル信号処理プロセッサに、アルゴリズム上の限定された処理を行う専用演算器 2 0 1 を設け、該専用演算器 2 0 1 を、データメモリ 1 0 4 に接続され主演算器 1 0 6 には接続されない DMA (Direct Memory Access) バス 2 1 1 および 2 1 2 に接続する構成とする。

図 1



【特許請求の範囲】

【請求項1】 データメモリと、主演算器と、プログラムメモリと、主演算器およびデータメモリの両方に接続するデータバスと、データメモリに接続され主演算器には接続されないDMAバスとを含み、プログラムメモリに記述された命令に基づいてデータメモリと演算器間でデータの転送を行うことによりメモリに書き込まれたデータを処理するデジタル信号処理プロセッサにおいて、

限定された演算機能を有する専用演算器を上記DMAバスに接続した構成を備えることを特徴とする専用演算器付きデジタル信号処理プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル信号処理プロセッサに係り、特に低消費電力化に好適なデジタル信号処理プロセッサに関する。

【0002】

【従来の技術】 デジタル信号処理をシングルチップで行うデジタル信号処理プロセッサ(Digital Signal Processor:以下DSPと記す)に関しては、従来多数の方式が知られている。例えば、青山友紀、小野定康共著「電子情報通信学会編「信号処理プロセッサ」(オーム社) P.52～P.53には汎用のDSPの一般的構造が記述されている。図6には上記文献の図4.2 DSPのブロック図(P.52)を引用して示す。DSPは大まかにプログラム制御部121とデータ処理部122とで構成される。プログラム制御部121にはプログラムメモリ101、アドレス制御部102、命令実行制御部103で構成される。データ処理部122はデータメモリ104、入出力制御部105、主演算器106で構成される。同図でデータメモリ104は主演算器106にデータを供給したり、主演算器からデータを受け取ったりする。外部とデータをやり取りする入出力制御部105とデータメモリ104、主演算器106はデータバス112で接続される。命令実行制御部103は、プログラムメモリ101に書き込まれているプログラムに従ってデータ処理部122を制御する部分である。アドレス制御部102はデータメモリ104の内容の呼出し／書き込み順序の制御を行う部分である。そして、主演算器106にデータメモリ104からデータが途切れることなく送り込めるように機能する部分である。プログラムメモリ101、アドレス制御部102、命令実行制御部103はプログラ

ムバス111で接続される。このようなDSPの特徴を前出の「信号処理プロセッサ」P.55～P.56から抜粋する。汎用のDSPは実行される演算の内容がプログラムにより規定されているため、プログラム論理の一般的特徴として、

実現できる機能が非常に柔軟性に富む。

複雑なアルゴリズムをコンパクトなハードウェアで実現できる。

という利点がある。このためDSPは広く情報通信機器から民生用品に至る分野で実用に供されている。DSP以外にデジタル信号処理を行う手法として布線論理でLSIチップを構成する方法がある。この場合、実現するアルゴリズムに特化したカスタム設計となって処理の柔軟性や融通制はない。しかし、デジタルフィルタのようにアルゴリズムの内容が、少ない種類の演算を繰り返すような、すなわち限定的な演算ですむように単調である場合には、布線論理の方が少ない素子数と少ない消費電力でLSIを実現できる。DSPでは処理の1ステップ毎にプログラムメモリから命令が一行読み出されて、その命令に基づいてアドレス制御部がデータメモリを駆動し、命令実行制御部が主演算器と必要に応じて入出力制御部を駆動するため、処理の1ステップ毎にDSPのほぼ全体が一斉に動作することになるからである。ただし、アルゴリズムが複雑になると布線論理で実現する論理回路の規模は著しく増大する。このためアルゴリズムが複雑な場合にはDSPが唯一の解である。然るに、処理ステップの大部分が単調な処理で占められているにも拘らず、アルゴリズムの一部に複雑な部分が出現する場合にも一般にはDSPが用いられている。

【0003】

【発明が解決しようとする課題】 上記のように、LSIとして1チップで実現すべきアルゴリズムの一部に複雑な部分が出現するために、大部分の単調な処理を複雑な処理と同様な処理形態としていた従来は、LSI中の電力の不経済な消費という問題は犠牲にされていたものである。本発明は、アルゴリズムの大部分を占める単調な処理の部分でデータメモリとの高速のデータ授受を保証しつつ布線論理として実現することにより、LSI全体としての消費電力を低減し得るデジタル信号処理プロセッサを提供することを目的とする。

【0004】

【課題を解決するための手段】 上記目的を達成するため、本発明では、例えば図1に示すように、DSPのデータメモリ104に接続され、主演算器106には接続されないDMA(DirectMemory Access)バス211および212に、アルゴリズム上の限定された処理を行う専用演算器201を接続する構成を備えることとする。

【0005】 ここで、上記の専用演算器201としては、例えば図2に示すように、少なくともシフトレジスタと乗算器と加算器を含み、かつ、第1および第2のシ

フトレジスタ322および323の最終段の出力をそれぞれ乗算器301に inputs し、該乗算器301の出力を加算器302の一方の inputs に与え、該加算器302の出力をレジスタ315を介して該加算器302の他方の inputs に与える構成を備えるようにすれば、専用演算器における高速性の劣化を抑えられ好ましい。

【0006】

【作用】本発明により、アルゴリズムの大部分を占める単調な処理の部分を、主演算器より規模の小さい専用演算器がDMAバスを介してデータメモリとの間でデータの授受を行う布線論理として実現することになり、処理の1ステップ毎にDSPのほぼ全体が一斉に動作するような処理形態を探らずに済む。したがって消費電力を低減することが可能になる。

【0007】また、その上に、本発明の専用演算器の構成によれば、以下に述べるようなわけでデータ転送において高速性を損なわれるようなことはない。DMAバスはデータバスと共通にデータメモリ上の同一のページ部分を参照する必要が生じた場合を除いて、主演算器やデータバスとは独立にデータ転送を実現可能である。DMA転送は転送の開始の制御に次の～に示すように若干のプログラム処理を必要とする。

DMA開始アドレスの設定

一括転送するデータのワード数の設定

DMA転送自体の起動の実行 等

しかし、専用演算器の中にDMAバスからの inputs を受けるシフトレジスタを設け、シフトレジスタの段数をブロック長としてブロック単位でのDMA転送を実現することにより、上記DMA転送開始制御のプログラム処理に要する時間(処理ステップ数)を最小限に抑えることができるので、データ転送の高速性の劣化を抑えられる。

【0008】

【実施例】本発明によるデジタル信号処理プロセッサの構成を図1に示す。同図で201は専用演算器、211はDMAデータバス、212はDMAアドレスバスである。専用演算器がDMAバスに接続され、DMAバスを介してデータメモリとデータ授受を行い、単調な処理を行うようになっているのが基本的な特徴である。この専用演算器は単調な処理を行うのに適応するよう限定された演算機能を有する小さな規模の演算器である。したがって、単調な処理が大部分を占める場合のDSP全体の、つまりLSIとしての消費電力を低減し得る。さらに、本発明の専用演算器においては、以下に詳述するようにDSPとの信号の授受を最低限に抑えるようになっているので、データ転送の高速性を損なうことはない。

【0009】専用演算器201の実施例を図2に示す。本専用演算器は、乗算器301、加算器302、ラッチ311～315、S段のシフトレジスタ321、R段シフトレジスタ322及び323、2入力のセクタ33

1、333、336及び3入力のセクタ332からなる。ラッチ313の出力はセクタ331及び333の‘0’側 inputs 及び332の‘1’側 inputs となる。セクタ331の出力がシフトレジスタ321の inputs となる。セクタ333の出力がシフトレジスタ323の inputs となる。セクタ332の出力がシフトレジスタ322の inputs となる。シフトレジスタ321の出力がセクタ336の‘1’側 inputs 、及びラッチ312の inputs となる。シフトレジスタ322の出力がゲート334の inputs 及びセクタ332の‘2’側 inputs となる。シフトレジスタ323の出力がゲート335の inputs 及びセクタ333の‘1’側 inputs となる。ゲート334の出力が乗算器301の第1の inputs となる。ゲート335の出力が乗算器301の第2の inputs となる。乗算器301の出力がラッチ314の inputs となる。セクタ336の出力が加算器302の第1の inputs となる。ラッチ314の出力が加算器302の第2の inputs となる。加算器302の出力がラッチ315の inputs となる。ラッチ315の出力がセクタ331の‘1’側 inputs 、セクタ336の‘0’側 inputs 、及びセクタ332の‘0’側 inputs となる。

【0010】本演算器は図3に処理フローを示すIIR(Infinite Impulse Response)フィルタ処理を専用に行うものである。同図で401は1サイクルの遅延を、402は遅延出力 $d[k]$ と係数 $t[k]$ ($1 \leq k \leq R$)との乗算を、403はフィルタ inputs $V[j]$ ($1 \leq j \leq S$)と $t[1]*d[1]+t[2]*d[2]+\dots+t[R]*d[R]$ との加算を表す。加算出力が $Z[j]$ である。このIIRフィルタ処理は図2の専用演算器を用いて以下のように行われる。まず第1～第RサイクルにDMAアドレスバス212に書き込みアドレス‘1’が立つ。これは、そのサイクルにDMAデータバス211に係数 $t[R] \sim t[1]$ が到着することを示すものである。これに対応して第 $(j+1)$ サイクル ($1 \leq j \leq R$)に係数 $t[R+1-j]$ がラッチ313から出力される。また、第 $(j+1)$ サイクルにはセクタ333に制御信号‘0’が与えられ、シフトレジスタ323に係数 $t[R+1-j]$ が inputs される。シフトレジスタ323には第2～第 $(R+1)$ サイクルの間、シフトクロックが供給され、第 $(R+1)$ サイクルにはR個の係数 $t[R] \sim t[1]$ がシフトレジスタ323に格納される。次に第 $(2R+1) \sim$ 第 $(2R+S)$ サイクルにDMAアドレスバス212に書き込みアドレス‘3’が立つ。これは、次サイクルにDMAデータバス211にフィルタ inputs $V[1] \sim V[S]$ が到着することを示すものである。これに対応して第 $(2R+j+1)$ サイクル ($1 \leq j \leq S$)にフィルタ inputs $V[j]$ がラッチ313から出力される。また、第 $(2R+j+1)$ サイクルにはセクタ331に制御信号‘0’が与えられ、シフトレジスタ321にフィルタ inputs $V[j]$ が inputs される。シフトレジスタ321には第 $(2R+2) \sim$ 第 $(2R+S+2)$ サイクルの間、シフトクロックが供給されるので、第

(2R+S+2)サイクルにはS個のフィルタ入力V[1]～V[S]がシフトレジスタ321に格納される。また、第(2R+S+1)～第(3R+S)サイクルの間、ゲート334、335が開かれて乗算器301が動作するとともにシフトレジスタ322、323にシフトクロックが格納され、第(2R+S+k+1)サイクルにはラッチ314より $t[R+1-k]*d[R+1-k]$ ($1 \leq k \leq R$)が出力される。一方、第(2R+S+2)サイクルには、*

$$Z[1]=V[1]-\sum_{k=1}^R t[k]*d[k]$$

(数1)

【0012】がラッチ315から出力される。同時にセクタ331に制御信号‘0’が与えられるとともに、シフトレジスタ321にシフトクロックが供給され、シフトレジスタ321の初段にZ[1]が格納される。同時にセクタ332に制御信号‘0’が与えられるとともにシフトレジスタ322にシフトクロックが供給され、シフトレジスタ322の第1段にもZ[1]が格納される。同様に、第(3R+S+3)～第(4R+S+2)サイクルの間、ゲート334、335が開かれて乗算器301が動作するとともにシフトレジスタ322、323にシフトクロックが供給され第(3R+S+k+3)サイクルにはラッチ314から $t[R+1-k]*d[R+1-k]$ ($1 \leq k \leq R$)が出力される。但し、第(3R+S+2)サイクルでシフトレジスタ322が1回シフトして ※

$$Z[2]=V[2]-\sum_{k=1}^R t[k]*d[k]$$

(数2)

【0014】がラッチ315から出力される。同時にセクタ331に制御信号‘0’が与えられるとともに、シフトレジスタ321にクロックが供給され、シフトレジスタ321の初段にZ[2]が格納される。同時にセクタ332に制御信号‘0’が与えられるとともにシフトレジスタ322にシフトクロックが供給され、シフトレジスタ322の第1段にもZ[2]が格納される。以上の過程を繰り返すことにより、第((S+2)*R+3S+1)サイクルにはシフトレジスタ321にZ[1]～Z[S]が揃う。これらのデータは出力ラッチ312を介して第((S+2)*R+3S+2)～((S+2)*R+4S+1)サイクルの間DMAバス211に出力される。以上により図3の処理の全動作が完了する。以上のようにシフトレジスタ322、323には処理の最初にDMAバスから初期値 $t[k]$ 及び $d[k]$ を各R個供給しただけで、項数Rの積和S回に対して、 $t[k]$ 及び $d[k]$ を供給し続けることができる。またシフトレジスタ321にはフィルタ処理の最初にフィルタ入力V[j]を入れておけば処理終了時にはフィルタ出力Z[j]が格納され、ここからDMAバスを介して出力を一括して続出させる。以上のようにこれらのシフトレジスタによりDSPとの信号の授受を最低限に抑えて、目的の処理を実現する専用演算器を実現することができる。

【0015】専用演算器201の別の実施例を図4に示 ★50

*セクタ336に制御信号‘1’が与えられ、シフトレジスタ321の最終段出力V[1]とラッチ314の出力 $t[R]*d[R]$ の間で加算が実行され、結果がラッチ315に格納される。さらに続く(R-1)サイクルの間、セクタ336に制御信号‘0’が与えられる。第(3R+S+2)サイクルには
【0011】
【数1】

※いるので、

第(3R+S+3)～第(4R+S+2)サイクルの間の $d[k]=$ 第(2R+S+1)～第(3R+S)サイクルの間の $d[k-1]$

となり、図3における遅延401の処理が実行される。さらに、第(3R+S+4)サイクルには、セクタ336に制御信号‘1’が与えられ、シフトレジスタ321の最終段出力V[2]とラッチ314の出力 $t[R]*d[R]$ の間で加算が実行され、結果がラッチ315に格納される。さらに続く(R-1)サイクルの間、セクタ336に制御信号‘0’が与えられ、第(4R+S+4)サイクルには

【0013】

【数2】

★す。本専用演算器は、乗算器501、加算器502、ラッチ511～516および518、S段のシフトレジスタ521および522、2入力のセクタ532、536、537、3入力のセクタ534、535、4入力のセクタ533、および16段のシフトレジスタ517からなる。ラッチ511はDMAアドレスバス212の内容を読み込み、アドレスの値が該専用演算器の書き込みアドレスと一致した場合には、同じサイクルでラッチ513がDMAデータバス211の内容を読み込む。アドレスの値が該専用演算器の読み出しアドレスと一致した場合には、同じサイクルでラッチ512がその値をペリフェラルデータバス211に出力する。ラッチ513の出力はシフトレジスタ521の入力、セクタ533の‘3’側入力、セクタ534の‘0’側入力、およびセクタ532の‘0’側入力となる。セクタ532の出力がシフトレジスタ522の入力となる。シフトレジスタ521の出力がセクタ533の‘2’側入力、およびセクタ536の‘0’側入力となる。シフトレジスタ522の出力がセクタ534の‘1’側入力、およびセクタ532の‘1’側入力となる。セクタ533の出力が乗算器501の第1の入力となる。セクタ534の出力が乗算器501の第2の入力となる。乗算器501の出力がラッチ516の入力およびセクタ535の‘1’側入力となる。セクタ535の

7

出力がラッチ514の入力となる。セクタ536の出力が加算器502の第1の入力となる。ラッチ514の出力が加算器502の第2の入力となる。加算器502の出力がセクタ537の‘0’側入力となる。セクタ537の出力がラッチ515の入力となる。ラッチ515の出力がセクタ533の‘1’側入力、セクタ535の‘0’側入力、ラッチ512の入力、およびセクタ536の‘1’側入力となる。ラッチ516の出力がセクタ533の‘0’側入力となる。加算器502の最上位の符号ビットがシフトレジスタ517の入力となる。シフトレジスタ517の平行出力はセク

$$A = V - \frac{(V \cdot b) b}{|b|^2}$$

【0018】として求める直交化処理を行う。但し・は内積であり、

$$|b|^2 < 10^{-7}$$

の場合

$$S = V$$

※

$$S[j] = V[j] - \frac{\sum_{k=1}^S b[k] V[k]}{\sum_{k=1}^S b[k]^2} b[j] \quad (\text{数4})$$

【0020】但し

【0021】

$$\sum_{k=1}^S b[k]^2 \leq 10^{-7}$$

【0022】の場合、 $S_i = V_i$ である。または、

【0023】

$$P = \sum_{k=1}^S b[k] V[k]$$

【0024】とすると

【0025】

【数7】

$$A[j] = V[j] - \frac{P}{\kappa} b[j] \quad (\text{数7})$$

【0026】である。

【0027】本処理の実行過程の詳細を以下に示す。まず第1～第SサイクルにDMAアドレスバス212に書き込みアドレス‘1’が立つ。これは、同じサイクルにDMAデータバス211にデータ $b[1] \sim b[S]$ が到着することを示すものである。これに対応して第 $(i+1)$ サイクル $(1 \leq i \leq S)$ にデータ $b[i]$ がラッチ513から出力される。また、第 $(i+1)$ サイクルにはセクタ532に制御信号‘0’が与えられ、シフトレジスタ522にデータ $b[i]$ が入力される。シフトレジスタ522には第2～第 $(S+1)$ サイクルの間、シフトクロックが供給されるので、第 $(S+1)$ サイクルにはS個のデータ $b[1] \sim b[S]$ がシフトレジスタ522に格納され

☆50

8

*タ534の‘2’側入力となる。なお、加算器502の最上位の符号ビットの値は検出回路541によりモニターされ、ラッチ518からDSPに対して割込み信号を送出する。

【0016】本演算器は以下の処理を専用に行うものである。ベクトル $V = (V[1], V[2], \dots, V[S])$ からベクトル $b = (b[1], b[2], \dots, b[S])$ に並行な成分を差し引いて新たなベクトル $A = (A[1], A[2], \dots, A[S])$ を

【0017】

【数3】

(数3)

※とする直交化処理を行う。これは、スカラー成分毎に記述すると

【0019】

【数4】

※

★【数5】

★

(数5)

【数6】

30

$$\kappa = \sum_{k=1}^S b[k]^2 \quad (\text{数6})$$

☆る。また、同時に第2～第 $(S+1)$ サイクルの間、セクタ533に制御信号‘3’が与えられ、セクタ534に制御信号‘0’が与えられ、乗算器501が動作し、さらにセクタ535に制御信号‘1’が与えられ、第 $(i+2)$ サイクルにはラッチ514から $b[i] * b[i] (1 \leq i \leq S)$ が出力される。一方、第2サイクルには、ラッチ515がクリアされ、第3サイクルには出力が0となる。さらに、第3サイクルには、セクタ536に制御信号‘1’が与えられ、セクタ537に制御信号‘0’が与えられ、ラッチ515の出力とラッチ514の出力 $b[1] * b[1]$ の間で加算が実行され、結果がラッチ515に格納される。さらに続く $(S-1)$ サイクルの間、セクタ536に制御信号‘1’が与えられ、セクタ537に制御信号‘0’が与えられ、第 $(S+3)$ サイクルには

【0028】

【数8】

$$g = \sum_{i=1}^S b[i] * b[i]$$

【0029】がラッチ515から出力される。なお、第(S+2)サイクルにはセクタ535に制御信号‘2’が与えられ、ラッチ514に値‘10[〜]’が格納される。さらに、第(S+3)サイクルにはセクタ536に制御信号‘1’が与えられ、加算器502において減算

$g - (10^{\sim})$ が実行され、最上位の符号ビットが検出回路541に出力される。さらに、第(S+3)サイクルには、セクタ535に制御信号‘0’が与えられるとともにセクタ537に制御信号‘1’が与えられ、第(S+4)サイクルには、ラッチ514、515からそれぞれg、1が出力される。続く第(S+4)～第(S+19)サイクルの間、セクタ536に制御信号‘1’が与えられるとともにセクタ537に制御信号‘0’が与えられ、加算器502において付随されるシフトおよび減算機能により除算 $1/g$ が実行され、第(S+20)サイクルに商がレジスタ517から出力される。以上の過程に並行して第(S+18)～第(2S+17)サイクルにDMAアドレスバス212に書き込みアドレス‘2’が立つ。これは、同じサイクルにDMAデータバス211にデータV[1]～V[S]が到着することを示すものである。これに対応して第(S+j+18)サイクル($1 \leq j \leq S$)にデータV[j]がラッチ513から出力される。また第(S+j+18)サイクルにはシフトレジスタ521にデータ

$$P = \sum_{j=1}^S V[1][j] * b[j]$$

【0031】がラッチ515から出力される。同時にセクタ533に制御信号‘1’が与えられるとともに、セクタ534に制御信号‘2’が与えられ、乗算器501が動作し、ラッチ516に (P/g) が格納される。続いて、第(2S+21)～第(3S+20)サイクルの間、シフトレジスタ522にシフトクロックが供給されるとともに、セクタ532に制御信号‘1’が与えられ、シフトレジスタ522の内容が循環する。同時にセクタ533に制御信号‘0’が与えられ、セクタ534に制御信号‘1’が与えられ、乗算器501が動作し、さらにセクタ535に制御信号‘1’が与えら

$$S[i] = V[i] - b[i] * (P/g)$$

【0033】がラッチ515から出力される。ラッチ515出力は1サイクル遅れてラッチ512から出力されるので、第(2S+24)～第(3S+23)サイクルの間上記値がDMAデータバス211に出力される。以上のようにシフトレジスタ522には処理の最初にDMAバスからb[k]を初期値として供給しておくだけで、直交化処理全体に共通にb[k]を供給できる。これにより、専用演算器とDSPとのデータ授受を最低限に抑えて目的の処理を実現する専用演算器を実現することができ

(数8)

* V[j]が入力される。シフトレジスタ521には第(S+19)～第(2S+18)サイクルの間、シフトクロックが供給されるので、第(2S+18)サイクルにはS個のデータV[1]～V[S]がシフトレジスタ521に格納される。また、第(S+19)～第(2S+18)サイクルの間、シフトレジスタ522にシフトクロックが供給されるとともに、セクタ532に制御信号‘1’が与えられ、シフトレジスタ522の内容が循環する。同時に、セクタ533に制御信号‘3’が与えられ、セクタ534に制御信号‘1’が与えられ、乗算器501が動作し、さらにセクタ535に制御信号‘1’が与えられ、第(S+j+19)サイクルにはラッチ514から $V[j] * b[j]$ ($1 \leq j \leq S$)が出力される。一方、第(S+19)サイクルには、ラッチ515がクリアされ、第(S+20)サイクルには出力が0となる。さらに、第(S+20)サイクルには、セクタ536に制御信号‘1’が、セクタ537に制御信号‘0’が与えられ、ラッチ515の出力とラッチ514の出力 $V[1] * b[1]$ の間で加算が実行され、結果がラッチ515に格納される。さらに続く(S-1)サイクルの間、セクタ536に制御信号‘1’が、セクタ537に制御信号‘0’が与えられ続け、第(2S+20)サイクルには

【0030】

【数9】

(数9)

※れ、第(2S+j+21)サイクルにはラッチ514より $b[j] * (P/g)$ ($1 \leq j \leq S$)が出力される。一方、第(2S+22)～第(3S+21)サイクルの間、シフトレジスタ521にシフトクロックが供給されるとともに、セクタ536に制御信号‘0’が与えられ、シフトレジスタ521の出力とラッチ514の出力の間で減算が実行され、さらにセクタ537に制御信号‘0’が与えられ、第(3S+22+j)サイクル($1 \leq j \leq S$)には

【0032】

【数10】

(数10)

★る。

【0034】専用演算器201の別の実施例を図5に示す。本専用演算器201は、乗算器701、加算器702、ラッチ711～722、S段のシフトレジスタ731および732、2入力のセクタ742、745、746、747、748、749、4入力のセクタ743、744、および16段のシフトレジスタ721からなる。ラッチ711はDMAアドレスバス212の内容を読み込み、アドレスの値が該専用演算器の書き込みア

11

ドレスと一致した場合には、同じサイクルでラッチ713がDMAデータバス211の内容を読み込む。アドレスの値が該専用演算器の読み出しアドレスと一致した場合には、同じサイクルでラッチ712がその値をDMAデータバス211に出力する。ラッチ713の出力はシフトレジスタ731の入力、セクタ742の‘0’側入力、セクタ743の‘3’側入力、およびセクタ744の‘1’側入力となる。セクタ742の出力がシフトレジスタ732の入力となる。シフトレジスタ731の出力がセクタ743の‘1’側入力となる。シフトレジスタ732の出力がセクタ744の‘2’側入力、およびセクタ742の‘1’側入力となる。セクタ743の出力が乗算器701の第1の入力となる。セクタ744の出力が乗算器701の第2の入力となる。乗算器701の出力がラッチ714、716及び717の入力となる。ラッチ714の出力がセクタ745の‘1’側入力となる。ラッチ716の出力がセクタ747の‘1’側入力となる。セクタ747の出力が加算器702の第1の入力となる。セクタ745の出力が加算器702の第2の入力となる。加算器7

$$U[i] = \frac{|Q[i] \cdot P|^2}{|Q[i]|^2}$$

【0037】を計算し、 $U[i]$ が最大となる i を求めるものである。すなわちベクトル P と相関が最大となるベクトル $Q[i]$ を $1 \leq i \leq N$ の中から探すものである。 ※

$$U[i] = \frac{C[i]^2}{g[i]}$$

【0039】但し、
【0040】

$$C[i] = \sum_{j=1}^S q[i][j] * P[j], \quad \star$$

【0041】(数13)

となる。 $U[i]$ を最大にする i を求めるためには、 $0 \leq i \leq I$ の範囲で $U[i]$ が最大となった時の $C[i]^2$ 及び $g[i]$ を格納しておく変数として $C2m$ 及び gm を用意し、 $i = I + 1$ の時の $C[i]^2$ 及び $g[i]$ に対して $C[i]^2 * gm$ と $C2m * g[i]$ の大小比較を行い、 $C[i]^2 * gm$ が $C2m * g[i]$ より大きければ $C2m = C[i]^2$ 、 $gm = g[i]$ とし、小さければそのままとなるプロセスを反復していけばよい。

【0042】本処理の実行過程の詳細を以下に示す。まず第1～第 S サイクルにDMAアドレスバス212に書き込みアドレス‘1’が立つ。これは、同じ第1～第 S サイクルにDMAデータバス211にデータ $q[1][1] \sim q[1][S]$ が到着することを示す。これに対応して第 j サイクル($1 \leq j \leq S$)にデータ $q[1][j]$ がラッチ713にロードされる。また、第($j + 1$)サイクルにはシ

(7)

12

* 02の出力はセクタ746の‘0’側入力及びラッチ719の入力となる。セクタ746の出力はラッチ715の入力となる。ラッチ715の出力はセクタ747の‘0’側入力、セクタ743の‘2’側入力、及びセクタ744の‘0’側入力となる。ラッチ719の出力はセクタ749の‘0’側入力及びラッチ720の入力となる。ラッチ720の出力はセクタ749の‘1’側入力及びセクタ745の‘0’側入力となる。セクタ749の出力はセクタ743の‘0’側入力となる。ラッチ717の出力はセクタ748の‘0’側入力及びラッチ718の入力となる。ラッチ718の出力はセクタ748の‘1’側入力及びセクタ746の‘1’側入力となる。セクタ748の出力はセクタ744の‘3’側入力となる。

【0035】本演算器は以下の処理を専用に実行するものである。 $i = 1 \dots N$ の N 個のベクトル $Q[i] = (q[i][1], q[i][2], \dots, q[i][S])$ 及びベクトル $P = (p[1], p[2], \dots, p[S])$ について

【0036】

【数11】

(数11)

※ 【0038】

【数12】

(数12)

★ 【数13】

$$g[i] = \sum_{j=1}^S q[i][j] * q[i][j]$$

☆ フトレジスタ731にデータ $q[1][j]$ が入力される。

シフトレジスタ731には第2～第($2S + 2$)サイクルの間シフトクロックが供給されるので、第($S + 1$)サイクルには S 個のデータ $q[1][1] \sim q[1][S]$ がシフトレジスタ731に格納される。なお、書き込みアドレスが‘0’から‘1’に切り替わる時にカウンタ722の値が1インクリメントされる。また、第2～第($S + 1$)サイクルの間、セクタ743に制御信号‘3’が与えられ、セクタ744に制御信号‘1’が与えられ、乗算器701が動作し、第($j + 2$)サイクルにはラッチ714に $q[1][j] * q[1][j]$ ($1 \leq j \leq S$)が格納される。一方、第1サイクルには、ラッチ715がクリアされ、第2サイクルには出力が0となる。さらに、第3～第($S + 1$)サイクルの間、セクタ747に制御信号‘0’が与えられ、セクタ745に制御信号‘1’が与えられ、セクタ746に制御信号‘0’が与えられ、

☆ 50

13

ラッチ715の出力とラッチ714の出力 $q[1][j] * q[1][j]$ の間で加算が実行され、結果がラッチ715に格納される。そして第(S+2)サイクルには、結果が *

$$r = \sum_{j=1}^S q[1][j] * q[1][j]$$

【0044】がラッチ719から出力されると同時にラッチ720にgmとして格納される。

【0045】続いて第(S+1)～第(2S)サイクルにDMAアドレスバス212に書き込みアドレス‘2’が立つ。これは、同じサイクルにDMAデータバス211にデータ $p[1] \sim p[S]$ が到着することを示すものである。これに対応して第(S+j)サイクル($1 \leq j \leq S$)にデータ $p[j]$ がラッチ713にロードされる。また、第(S+2)～第(2S+1)サイクルの間、セクタ742に制御信号‘0’が与えられ、第(S+j+1)サイクルにはシフトレジスタ732にデータ $p[j]$ が入力される。シフトレジスタ732には第(S+2)～第(2S+1)サイクルの間、シフトクロックが供給されるので、第(2S+1)サイクルにはS個のデータ $p[1] \sim p[S]$ がシフトレジスタ732に格納される。また、第(S+2)～第(2S+1)サイクルの間、シフトレジスタ73 ※

$$c[1] = \sum_{j=1}^S q[1][j] * p[j]$$

【0047】がラッチ715から出力される。また、第(2S+3)サイクルには、セクタ743に制御信号‘2’が与えられ、セクタ744に制御信号‘0’が与えられ、乗算器701が動作し、ラッチ717に $c[1] * c[1]$ が格納される。これは、第(2S+4)サイクルには、ラッチ718に $c2m = c[1] * c[1]$ として格納される。続いて第(2S+3)～第(3S+2)サイクルにペリフェラルアドレスバス212に書き込みアドレス‘1’が立つ。これは、同じサイクルにペリフェラルデータバス211にデータ $q[2][1] \sim q[2][S]$ が到着することを示すものである。これに対応して第(2S+j+2)サイクル($1 \leq j \leq S$)にデータ $q[2][j]$ がラッチ713にロードされる。また、第(2S+4)～第(3S+3)サイクルの間、シフトレジスタ731にデータ $q[2][j]$ が入力される。シフトレジスタ731には第(2S+4)～第(3S+3)サイクルの間、シフトクロックが供給されるので、第(3S+3)サイクルにはS個のデータ $q[2][1] \sim q[2][S]$ がシフトレジスタ73 ★

$$r[2] = \sum_{j=1}^S q[2][j] * q[2][j]$$

【0049】がラッチ719から出力される。続いて第(3S+4)～第(4S+3)サイクルの間、セクタ742に制御信号‘1’が与えられるとともにシフトレジスタ731、732にシフトクロックが供給される。セ

14

* ラッチ719に格納され、第(S+3)サイクルには
【0043】
【数14】

(数14)

※1にシフトクロックが与えられ、セクタ743に制御信号‘1’が与えられ、セクタ744に制御信号‘1’が与えられ、乗算器701が動作し、第(S+j+1)サイクルにはラッチ714に $q[1][j] * p[j]$ ($1 \leq j \leq S$)が格納される。一方、第(S+2)サイクルには、ラッチ715がクリアされ、第(S+3)サイクルには出力が0となる。さらに、第(S+3)～第(2S+2)サイクルの間、セクタ747に制御信号‘0’が与えられ、セクタ745に制御信号‘1’が与えられ、セクタ746に制御信号‘0’が与えられ、ラッチ715の出力とラッチ714の出力 $q[1][j] * p[j]$ の間で加算が実行され、結果がラッチ715に格納される。そして第(2S+3)サイクルには

【0046】

【数15】

(数15)

★1に格納される。また、第(2S+4)～第(3S+3)サイクルの間、セクタ743に制御信号‘3’が与えられ、セクタ744に制御信号‘1’が与えられ、乗算器701が動作し、第(2S+j+3)サイクルにはラッチ714に $q[2][j] * q[2][j]$ ($1 \leq j \leq S$)が格納される。一方、第(2S+4)サイクルには、ラッチ715がクリアされ、第(2S+5)サイクルには出力が0となる。さらに、第(2S+5)～第(3S+4)サイクルの間、セクタ747に制御信号‘0’が与えられ、セクタ745に制御信号‘1’が与えられ、セクタ746に制御信号‘0’が与えられ、ラッチ715の出力とラッチ714の出力 $q[2][j] * q[2][j]$ の間で加算が実行され、結果がラッチ715に格納される。そして第(3S+4)サイクルには、結果がラッチ719に格納され、第(3S+5)サイクルには

【0048】

【数16】

(数16)

☆クタ743に制御信号‘1’が与えられ、セクタ744に制御信号‘2’が与えられ、乗算器701が動作し、第(3S+j+4)サイクルにはラッチ714に $q[2][j] * p[j]$ ($1 \leq j \leq S$)が格納される。第(4S

☆50

15

+4)サイクルにはS個のデータ $p[1] \sim p[S]$ がシフトレジスタ732に元通りに格納される。一方、第(3S+4)サイクルには、ラッチ715がクリアされ、第(3S+5)サイクルには出力が0となる。さらに、第(3S+5)～第(4S+4)サイクルの間、セクタ747に制御信号‘0’が与えられ、セクタ745に制御信号‘1’が与えられ、セクタ746に制御信号‘0’*

$$c[2] = \sum_{j=1}^S q[2][j] * p[j]$$

【0051】がラッチ715から出力される。また、第(4S+4)サイクルには、セクタ749に制御信号‘0’が与えられ、セクタ743に制御信号‘0’が与えられ、セクタ748に制御信号‘1’が与えられ、セクタ744に制御信号‘3’が与えられ、乗算器701が動作し、ラッチ714に $c2m * g[2]$ が格納される。また、第(4S+5)サイクルには、セクタ743に制御信号‘2’が与えられ、セクタ744に制御信号‘0’が与えられ、乗算器701が動作し、ラッチ717に $C2 = c[2] * c[2]$ が格納される。第(4S+6)サイクルには、セクタ749に制御信号‘1’が*

$$\frac{c2}{\kappa} \rightarrow \frac{c2m}{\kappa m}$$

【0053】の場合、カウンタ723の値がラッチ722にロードされ、ラッチ719の値がラッチ720にロードされ、ラッチ717の値がラッチ718にロードされる。

【0054】同様に第(4S+6)～第(5S+5)サイクル★

$$\kappa[3] = \sum_{j=1}^S q[3][j] * q[3][j]$$

【0056】ラッチ719から出力される。また、第(6S+8)サイクルには

$$c[3] = \sum_{j=1}^S q[3][j] * p[j]$$

【0058】がラッチ715から出力される。また、第(6S+8)サイクルには、 $c2m * g$ がラッチ714から出力され、第(6S+10)サイクルには、 $c2 * gm$ がラッチ716から出力され、加算器702において減算

$$c2 * gm - c2m * g$$

が実行され、結果が正の場合、 gm 、 $c2m$ の値がそれぞれ g 、 $c2$ で更新される。さらにカウンタ723の値がラッチ722にロードされる。以上の第(4S+6)～第(6S+10)サイクルの全過程をさらに(N-3)回反◆

$$\frac{c2m}{\kappa m}$$

【0061】の計算を以下の手順で行う。まず、第(2

16

*が与えられ、ラッチ715の出力とラッチ714の出力 $q[2][j] * p[j]$ の間で加算が実行され、結果がラッチ715に格納される。そして第(4S+5)サイクルには

【0050】

【数17】

(数17)

※与えられ、セクタ743に制御信号‘0’が与えられ、セクタ748に制御信号‘0’が与えられ、セクタ744に制御信号‘3’が与えられ、乗算器701が動作し、ラッチ716に $c2 * gm$ が格納される。なお、第(4S+7)サイクルにはセクタ747に制御信号‘1’が与えられ、セクタ745に制御信号‘1’が与えられ、加算器702において減算

$$c2 * gm - c2m * g$$

が実行され、結果が正の場合、即ち

【0052】

【数18】

(数18)

★ルにペリフェラルデータバス211にデータ $q[3][1] \sim q[3][S]$ が到着し、第(5S+8)サイクルには

【0055】

【数19】

(数19)

☆【0057】

☆【数20】

(数20)

◆復することにより、 $U[i]$ が最大となる i を求める全動作が完了する。

【0059】即ち、第(2NS+3N+2)サイクルには gm 、 $c2m$ の最終値がそれぞれラッチ720、ラッチ718から出力される。また、 gm 、 $c2m$ が選定された時のカウンタ723の値がラッチ722より主力される。さらに

【0060】

【数21】

(数21)

NS+3N+2)サイクルにセクタ746に制御信号

17

‘1’を加え、ラッチ715にc2mをロードする。続く16サイクルの間、セクタ745、746、747に制御信号‘0’を加えることにより、第(2NS+3N+18)サイクルにはラッチ721より、第(2NS+3

$$\frac{c2m}{Rm}$$

【0063】が出力されるのである。以上のようにシフトレジスタの732には、処理の最初にDMAバスからp[j] (1 ≤ j ≤ S) を初期値として供給しておくだけで、1 ≤ i ≤ Nに対する処理全体にp[j]を供給できる。これにより、専用演算器とDSPとのデータ授受を最低限に抑えて目的の処理を実現することができる。

【0064】

【発明の効果】以上説明したごとく、本発明によればLSIとして1チップで実現すべきアルゴリズムのうち、大部分が単調な処理で占められているにも拘らず、アルゴリズムの一部に複雑な部分が出現するためにDSPを使用せざるを得ない場合でも、アルゴリズムの大部分を占める単調な処理の部分をデータメモリと的高速のデータ授受を保証しつつ布線論理として実現することができるので、LSI全体としての低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明の専用演算器付きデジタル信号処理プロセッサの構成図。

【図2】IIRフィルタの処理を実行する専用演算器の構成を示す実施例図。

【図3】IIRフィルタの処理フローを実行する専用演算器の状態遷移を示す図。

【図4】直交化処理を実行する専用演算器の構成を示す実施例図。

【図5】相関が最大となるベクトルを求める専用演算器の構成を示す実施例図。

【図6】従来のデジタル信号処理プロセッサの構成図。

【符号の説明】

101…プログラムメモリ
102…アドレス制御部
103…命令実行制御部
104…データメモリ

18

* N+19)サイクルにはラッチ712より

【0062】

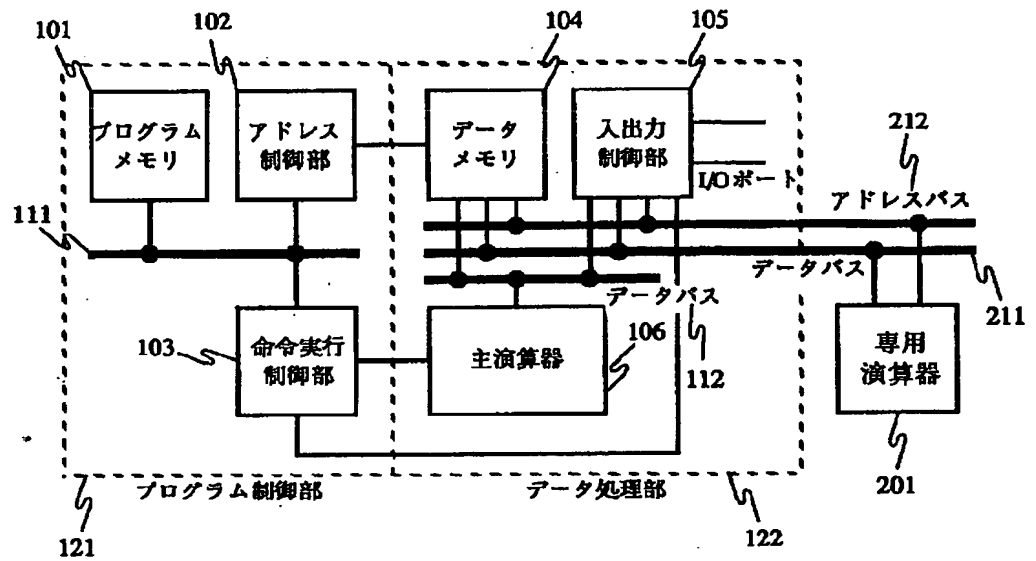
【数22】

(数22)

※105…	入出力制御部	106…
	主演算器	
10	111…プログラムバス	112…
	データバス	
	113…位相周波数制御回路	121…
	プログラム制御部	
	122…データ処理部	201…
	専用演算器	
	211…DMAデータバス	212…
	DMAアドレスバス	
	301…乗算器	302…
	加算器	
20	311～315…ラッチ	321…
	S段のシフトレジスタ	
	322、323…R段のシフトレジスタ	
	331、333および336…2入力セクタ	332…3入力セクタ
	501…乗算器	502…
	加算器	
	511～516および518…ラッチ	517…
	16段シフトレジスタ	
	521、522…S段シフトレジスタ	
30	532、536および537…2入力セクタ	
	533…4入力セクタ	534、5
	35…3入力セクタ	
	541…検出回路	701…
	乗算器	
	702…加算器	711～719およ
	び722…ラッチ	
	721…16段シフトレジスタ	723…
	カウンタ	
	731、732…S段シフトレジスタ	
40	742、745～749…2入力セクタ	743、7
※	44…4入力セクタ	

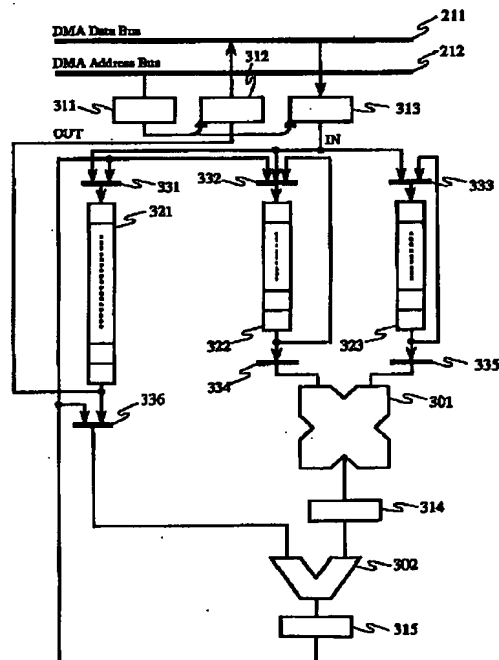
【図1】

図 1



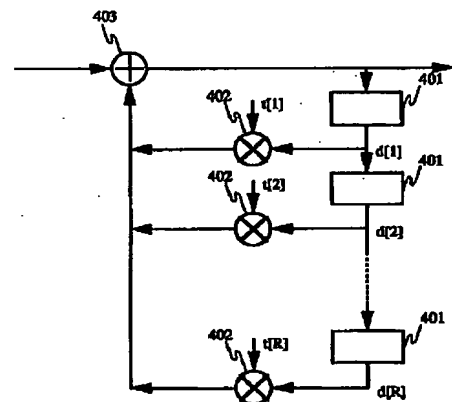
【図2】

図 2



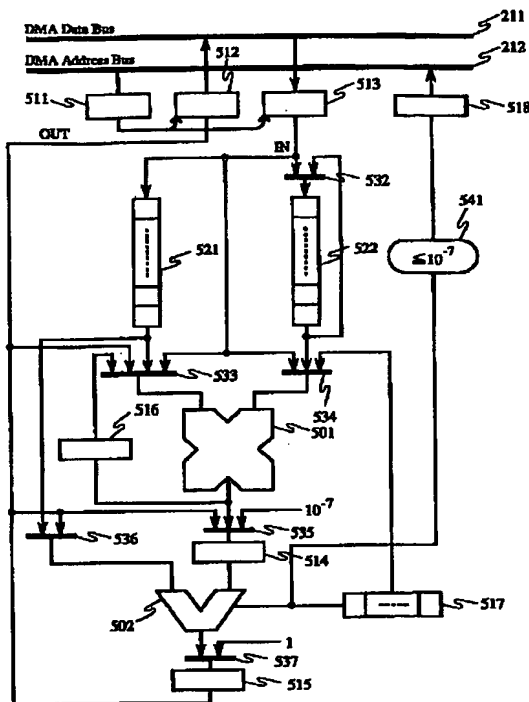
【図3】

図 3



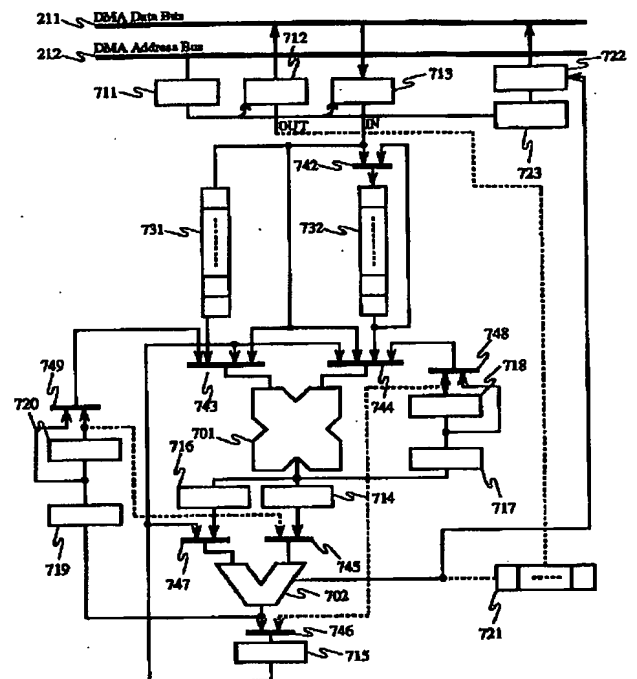
【図4】

図4



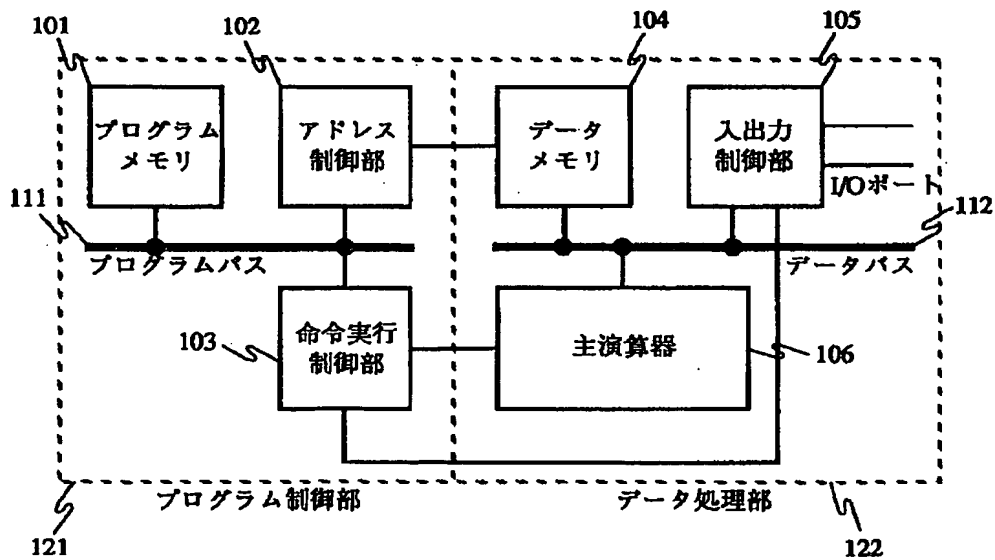
【図5】

図5



【図6】

図6



フロントページの続き

- (72)発明者 波多野 雄治
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
- (72)発明者 上牧 春雄
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
- (72)発明者 森島 憲太
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

- (72)発明者 堀田 正生
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
- (72)発明者 小田井 一生
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体設計開発センタ内
- (72)発明者 石田 潤
東京都小平市上水本町五丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内
- (72)発明者 浅川 吉章
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.